

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-146667

(43)Date of publication of application : 20.05.1992

(51)Int.Cl.

H01L 27/095

H01L 21/338

H01L 29/812

H03K 17/04

(21)Application number : 02-271639

(71)Applicant : MITSUBISHI ELECTRIC CORP

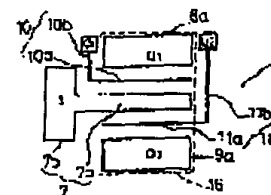
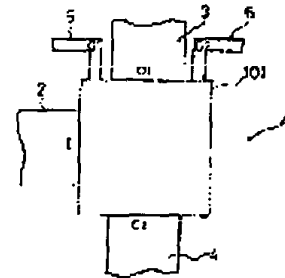
(22)Date of filing : 09.10.1990 (72)Inventor : ANDO NAOTO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To make it possible to change-over and output an input signal between first and second output signal lines by one piece of a FET element and to make possible a reduction in the size of the FET element by a method wherein the FET element is provided with first and second control signal electrodes, which are respectively provided between an input signal electrode connected with an input signal line and first and second output signal electrodes and control the interception and the continuity of a signal between the input signal electrode and the output signal electrodes.

**CONSTITUTION:** A prescribed voltage is applied to a first control electrode 10 of a FET 1 via a first control signal line 5, an input signal electrode 7a and a first output signal electrode 8a are put in a state of continuity between them and at the same time, a prescribed voltage is applied to a second control electrode 11 of the FET 1 via a second control signal line 6, the electrode 7a and a second output signal electrode 9a are put in an interrupted state between them and an input signal is outputted to a first output signal line 3. Then, a prescribed voltage is applied to the electrode 10, the electrodes 7a and 8a are put in a state of continuity between them and at the same time, a prescribed voltage is applied to the electrode 11, the electrodes 7a and 9a are put in an interrupted state between them and an input signal is outputted to a second output signal line 4.



## LEGAL STATUS

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2557561号

(45)発行日 平成8年(1996)11月27日

(24)登録日 平成8年(1996)9月5日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/095		7376-4M	H 0 1 L 29/80	E
21/338		9184-5K	H 0 3 K 17/04	E
29/812		7376-4M	H 0 1 L 29/80	L
H 0 3 K 17/04		7376-4M		R

請求項の数2(全 8 頁)

(21)出願番号	特願平2-271639	(73)特許権者	999999999 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
(22)出願日	平成2年(1990)10月9日	(72)発明者	安藤 直人 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内
(65)公開番号	特開平4-146667	(74)代理人	弁理士 早瀬 憲一
(43)公開日	平成4年(1992)5月20日	審査官	松本 邦夫
		(56)参考文献	特開 昭62-69684 (J P, A) 特開 平1-184876 (J P, A) 特開 昭63-172475 (J P, A) 特開 昭58-92277 (J P, A) 特開 昭56-6476 (J P, A) 実開 昭63-87901 (J P, U)

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】入力信号線路と、第1、第2の出力信号線路と、上記入力信号線路からの入力信号を第1、第2の出力信号線路間で切り換えてその一方に出力する切換回路とを有する半導体装置において、

上記切換回路は、

半導体基板上の1つの動作領域内に対向して配置され、それぞれ上記第1、第2の出力信号線路と接続された第1、第2の出力信号電極と、

該両出力信号電極間に配置され、上記入力信号線路と接続された入力信号電極と、

上記入力信号電極と第1の出力信号電極間、及び該入力信号電極と第2の出力信号電極間にそれぞれ配置され、上記各入、出力信号電極間での信号の遮断、導通を制御する第1、第2の制御信号電極と、

2

上記第1、第2の出力信号線路のいずれか一方の両側に配置され、上記第1、第2の制御信号電極の相異なる端部と接続された第1、第2の制御信号入力線路とを備えたことであることを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、上記切換回路を1列に複数個配列し、該切換回路列と平行して入力取出電極あるいは第1、第2の出力取出電極を設け、

上記各切換回路の入力信号電極、あるいは第1、第2の出力信号電極を第1のエアブリッジ配線により上記入力取出電極、あるいは第1、第2の出力取出電極に接続するとともに、

上記各切換回路の第1の出力信号電極相互間及び第2の出力信号電極相互間、あるいは入力信号電極相互間を第2のエアブリッジ配線により接続したことを特徴とする

半導体装置。

【発明の詳細な説明】

【産業上の利用分野】

この発明は半導体装置に関し、特に、高・低周波信号を切り換えるFETスイッチ（信号切換スイッチ）に関するものである。

【従来の技術】

第9図は、従来のFETを使用した信号切換スイッチを表す構成図であり、第10図はそのうちFET部分の詳細を示す拡大図である。

第9図において、100は信号切換スイッチ、2はその入力信号線路1、3、4は該入力信号線路2と垂直に配設された第1、第2出力信号線路0<sub>1</sub>、0<sub>2</sub>である。また17は入力信号を上記第1出力信号線路3側に出力する第1のFET、18は入力信号を上記第2の出力信号線路4側に出力する第2のFET、5、6はそれぞれ上記入力信号線路2と平行に配設され、上記第1、第2のFET17、18をオン、オフ制御するための第1、第2制御信号線路0<sub>1</sub>、0<sub>2</sub>である。

また第10図において、16は半導体基板表面に形成された上記第1のFET17の動作層（動作領域）、7は上記第1のFET17の入力電極1で、上記動作層16内側に配設された部分（入力信号電極）7aと、動作層外側に配設された部分（入力取出電極）7bとからなっている。また14は第1のFET17の出力電極0で、動作層内側の部分（出力信号電極）14aと、これに続くその外側の部分（出力取出電極）14bとからなっている。また15は上記第1のFET17の制御電極Gで、上記入力信号電極7aと出力信号電極14aの間に位置する部分（制御信号電極）15aとこれに続く動作層外側の部分（制御信号取出電極）15bとからなっている。また12は上記制御信号取出電極15bを跨いで上記入力信号電極7aと入力取出電極7bとを接続するエアブリッジ配線である。

なお、第2のFET18についての詳細な構造は、上記入力信号線路2に対して上記第1のFET17と対称な構造となっているので、ここでは省略する。

次に動作について説明する。

入力信号線路2より入ってきた入力信号は、エアブリッジ12等の配設を通して第9図の2個のFET17、18の入力信号電極7aに伝えられる。

まず、第1出力信号線路3側へ信号を伝える場合には、第1制御信号線路5を通じて第1のFET17の制御電極15に所定の電圧（例えば0〔V〕）を加えて第1のFET17を導通状態にする。同時に第2制御信号線路6を通じて、第2のFET18の制御電極（図示せず）に所定の電圧（例えば-5〔V〕）を加えてこのFET18を遮断状態にする。これによって入力信号は第1出力信号線路3から出力されることとなる。

次に第2出力信号線路4へ信号を伝える場合には、上記第1信号制御線路5を通じて第1のFET17の制御電極15に所定の電圧（例えば-5〔V〕）を加えて、このFET

17を遮断状態にし、同時に第2信号制御線路6を通じて、第2のFET18の制御電極（図示せず）に所定の電圧（例えば、0〔V〕）を加えてこのFET18を導通状態にする。これにより入力信号は出力信号線路4から出力されることとなる。

以上のような操作により、入力信号線路2より入ってくる入力信号を、第1出力信号線路3と第2出力信号線路4の2方向に切り換えて出力することができる。

【発明が解決しようとする課題】

従来のFETスイッチは、以上のように構成されているので、入力信号を2つの出力信号線路間で切り換えて出力するためには、FETを2個使用しなければならず、つまりFETを形成するための能動領域が2つ必要となり、半導体基板上に形成された回路の中で、FETスイッチの占める面積が大きくなり、半導体素子の小型化に対して障害となるなどの問題点があった。

なお、FETスイッチに関する先行技術には、特開昭62-117911号公報に示されているように、共通ソース入力を2つのゲートによる別々のチャネルを通じて2つのドレインに導くアナログスイッチの例があり、これは2つのFETを1つの動作領域内にコンパクトに形成した例としてみることもできるが、上記公報記載のものは、単なる高速のスイッチング素子であり、信号の切り換えが可能なものではなく、上記課題解決のために採用できる技術ではない。

この発明は、上記のような問題点を解消するためになされたものであり、入力信号を1個のFET素子により第1、第2の出力信号線路間で切り換えて出力することができる、小型化が可能な半導体装置を得ることを目的とする。

【課題を解決するための手段】

本願の請求項1に係る発明は、入力信号線路と、第1、第2の出力信号線路と、上記入力信号線路からの入力信号を第1、第2の出力信号線路間で切り換えてその一方に出力する切換回路とを有する半導体装置において、上記切換回路は、半導体基板上の1つの動作領域内に対向して配置され、それぞれ上記第1、第2の出力信号線路と接続された第1、第2の出力信号電極と、該両出力信号電極間に配置され、上記入力信号線路と接続された入力信号電極と、上記入力信号電極と第1の出力信号電極間、及び該入力信号電極と第2の出力信号電極間にそれぞれ配置され、上記各入、出力信号電極間での信号の遮断、導通を制御する第1、第2の制御信号電極と、上記第1、第2の出力信号線路のいずれか一方の両側に配置され、上記第1、第2の制御信号電極の相異なる端部と接続された第1、第2の制御信号入力線路とを備えるようにしたものである。

また、本願の請求項2に係る発明は、請求項1に係る発明において、上記切換回路を1列に複数個配列し、該切換回路列と平行して入力取出電極あるいは第1、第2の

5

出力取出電極を設け、上記各切換回路の入力信号電極、あるいは第1、第2の出力信号電極を第1のエアブリッジ配線により上記入力取出電極、あるいは第1、第2の出力取出電極に接続するとともに、上記各切換回路の第1の出力信号電極相互間及び第2の出力信号電極相互間、あるいは入力信号電極相互間を第2のエアブリッジ配線により接続するようにしたものである。

〔作用〕

この発明の請求項1に係る発明においては、上述のように構成したことにより、1つのFETにより入力信号を2つの出力信号線路間で切り換えて出力する信号切換動作を行うことができるので、従来に比し小面積のスイッチ部が実現される。

また、この発明の請求項2に係る発明においては、上述のように構成したことにより、より大きな入力信号の切換が可能となり、また切換回路全体としては、FETが複数存在するため、多くのパラメータを持つこととなり、設計の自由度が増大する。

〔実施例〕

以下、この発明の実施例を図について説明する。

第1図は本発明の一実施例による半導体装置の構成を説明するための図、第2図はその一部を詳細に示す図であり、第9図及び第10図と同一符号は同一または相当部分を示している。

第1図において、1は入力信号線路2からの信号を第1、第2の出力信号線路3、4間で切り換えて出力する信号切換スイッチ（切換回路）、101は該信号切換スイッチ1を構成するスイッチFETである。ここでは、該スイッチFET101の第1、第2の制御信号線路5、6は上記第1の出力信号線路3の両側に配置されているが、入力信号線路2とは従来例と同様平行となっている。

また第2図において、8a、9aは上記FET101の動作層（能動領域）16内にそれぞれ対向して配設された第1、第2出力信号電極01、02、7は上記FETの入力電極1で、上記出力信号電極8a、9a間に配設された入力信号電極7aと、上記動作層16の外側に配設された入力取出電極7bとから構成されている。また10、11は上記FETの第1、第2の制御電極G1、G2で、該制御電極10は上記入力信号電極7aと上記第1出力信号電極8aの間に配設された制御信号電極10aと、これに続く動作層外側の制御信号取出電極10bとからなり、また上記制御電極11は上記入力信号電極7aと第2の出力信号電極9aの間に配設された制御信号電極11aと、これに続く動作層外側の制御信号取出電極11bとからなっている。

次に動作について説明する。

入力信号線路2より入ってきた信号は、第2図に示したFET1の入力信号電極7aに伝えられる。

まず、第1出力信号線路3へ信号を伝える場合には、第1制御信号線路5を通じてFET1の第1の制御電極10に所定の電圧（例えば0〔V〕）を印加して、入力信号電

6

極7aと第1出力信号電極8aとの間を導通状態とし、同時に第2制御信号線路6を通じてFET1の第2制御電極11に所定の電圧（例えば-5〔V〕）を加えて、入力信号電極7aと第2出力信号電極9aとの間を遮断状態とする。これによって入力信号は第1の出力信号線路3に出力されることとなる。

次に第2出力信号線路4へ信号を伝える場合には、第1の制御電極10に所定の電圧を加えて入力信号電極7aと第1出力信号電極8aの間を導通状態とし、同時に第2の制御電極11に所定の電圧を加えて入力信号電極7aと第2出力信号電極9aの間を遮断状態とする。これによって入力信号は第2の出力信号線路4に出力されることとなる。

このように本実施例では、半導体基板上の1つの能動層16内に第1、第2の2つの出力信号電極8a、9aを対向させて配設するとともに、該両出力信号電極8a、9a間にFETの入力信号電極7aを配置し、さらに上記入力電極部7aと第1の出力信号電極8aの間に第1制御信号電極10aを、入力信号電極7aと第2の出力信号電極9aの間に第2の制御信号電極11aを配置したので、1つのFET101により、上記第1、第2の制御電極10、11に印加する電圧を相補的に切り換えて入力信号を2つの出力信号電極側に切り換え出力する信号切換動作を行うことができる。このため信号切換スイッチが半導体基板上で占める面積を従来の2/3程度に削減することができ、装置の小型化が可能となる。

なお、上記実施例では、入力信号線路からの入力信号を2つの出力信号線路に切り換えて出力するスイッチが1つである場合を示したが、該スイッチを単位スイッチとして複数用い、全体で1つの切換回路を構成するようにしてもよい。

第3図は本発明の第2の実施例による半導体装置を示し、102は本実施例の信号切換スイッチを構成するスイッチFETで、第1の実施例の構成のスイッチFETを単位スイッチFET13として入力信号線路2の方向と垂直な方向に複数配列するとともに、入力取出電極7b及び制御信号取出電極10b、11bを該配列方向と同一方向に延長し、各単位スイッチFET13の入力信号電極7a及び制御信号電極10a、11aを上記入力及び信号取出電極7b及び10b、11bに接続したものである。ここでは単位スイッチFET13の入力信号電極7aと入力取出電極7bとは、第1のエアブリッジ配線121により接続し、また第1の出力信号電極8a相互間、及び第2の出力信号電極9a相互間を第2、第3のエアブリッジ配線122、123により接続している。

この実施例では、上記実施例の効果に加えて、上記単位スイッチFET13を複数用い、その全体で、入力信号を2つの出力信号線路間で切り換えて出力する切換回路を構成したので、より大きな入力信号の切換を行うことができるという効果や、切換回路が複数のスイッチFETから構成されているため、切換回路の特性を設定するパラメータを多く持つこととなり、該回路の設計の自由度が

7

大きくなるという効果もある。

第4図及び第5図は本発明の第3の実施例による半導体装置を説明するための図である。ここでは、第4図に示すように、第1, 第2の制御信号線路5, 6を入力信号線路2の両側に出力信号線路3, 4と平行となるように配置している。

また信号切換スイッチを構成するスイッチFET103の各電極の配置については、第5図に示すように、第2図の電極の配置において、動作層16の両側に第1, 第2の出力取出電極8b, 9bを配置し、第1出力信号電極8aとその取出電極8bとを第1のエアブリッジ配線12aにより、第2の出力信号電極9aとその取出電極9bとを直接接続してこれらを出力電極8, 9とし、また上記動作層16の第1出力信号電極8aの外側部分にさらに補助入力信号電極71を設け、これをエアブリッジ配線12bにより上記入力信号電極7aに接続している。

このように本実施例では、上記第1の実施例とは、制御信号線路に対する入力及び出力信号線路の配置を逆にし、つまり制御信号線路5, 6に対して入力信号線路2を垂直に、出力信号線路3, 4を平行に配置しているので、周辺回路との関連で、制御信号電極10, 11に対する入、出力信号線路のレイアウトに制限を受け、上記第1実施例の信号線路の配置を採用できない場合でも、入力信号を1個のFET素子により2方向に切り換えて出力できる信号切換スイッチを実現可能である。

また第6図は本発明の第4の実施例を説明するための図であり、104は本実施例の信号切換スイッチを構成するスイッチFETで、これは第3図に示す複数の単位スイッチFETからなるスイッチFETの構成において、入、出力側の電極の配置を変更したものであり、その他の点は第3図に示すものと同一である。

すなわち出力側の電極については、単位スイッチFET13の列の両側に、該配列方向に延びる電極を配設し、これらをそれぞれ第1, 第2の出力取出電極8b, 9bとし、これらをそれぞれエアブリッジ配線12c, 12dにより各単位スイッチFET13内の出力信号電極8a, 9aと接続している。

また入力側の電極については、上記単位スイッチFET13列一端側の動作層16外側に補助入力信号電極81を設け、これと上記各単位スイッチFET13内のすべての入力信号電極7aとをエアブリッジ配線124により接続している。

この実施例では、上記第3実施例（第4図及び第5図）に比べて、より大きな入力信号の切換が可能で、設計の自由度が大きくなる。また制御信号電極に対する入、出力信号電極の配置が上記第2の実施例（第3図）とは、異なっているため、周辺回路との関係で、第2実施例のレイアウトが採用できない場合でも、信号切換スイッチを実現可能である。

なお上記各実施例では、1つの動作領域内には1つのスイッチFETを形成する場合を示したが、1つの動作領

8

域内に複数の単位スイッチFETを構成するようにしてもよい。

第7図はこのような構成の本発明の第5の実施例による半導体装置を示す図である。105は本実施例の信号切換スイッチで、これは、第3図に示す第2の実施例において、各単位スイッチFETを1つの動作層26内にまとめて配設したものである。

すなわち1つの動作層26内に上述の第1, 第2の出力信号電極8a, 9aを交互に配置し、該両電極間に入力信号電極7aを配設し、さらに上記第1の出力信号電極8aとその両側の入力信号電極7aとの間に第1の制御信号電極10a1, 10a2を、第2の出力信号電極9aとその両側の入力信号電極7aとの間に第2の制御信号電極11a1, 11a2を配置したものであり、その他の構成は第3図と同一である。

この実施例では、信号切換スイッチを構成する複数の単位スイッチFET13をすべて1つの動作層26内に配設したので、上記第2あるいは第4実施例に比べて、信号切換スイッチの基板占有面積をより小さくすることができる。

また第8図は本発明の第6の実施例による半導体装置を示し、106は本実施例の信号切換スイッチを構成するスイッチFETで、これは第7図の第5実施例を構成において、入、出力側の電極の配置を変更したものであり、その他の点は第7図と同一である。

すなわち、出力側の電極については、単位スイッチFET13の列の両側に、該配列方向に延びる電極を配設し、これらをそれぞれ第1, 第2の出力取出電極8b, 9bとし、これらをそれぞれエアブリッジ配線12c, 12dにより各単位スイッチFET13内の出力信号電極8a, 9aと接続している。

また入力側の電極については、動作層16を上記単位スイッチFET13列一端側に若干拡張し、この拡張部分に補助入力信号電極81を配設し、これと上記各単位スイッチFET13内のすべての入力信号電極7aとをエアブリッジ配線124により接続している。

この実施例では、制御信号電極に対する入力、出力信号電極の配置が上記第5の実施例とは、異なっているため、周辺回路との関係で、第5実施例のレイアウトが採用できない場合でも、信号切換スイッチを実現可能である。

#### 〔発明の効果〕

以上のように、本願の請求項1に係る発明によれば、入力信号線路と、第1, 第2の出力信号線路と、上記入力信号線路からの入力信号を第1, 第2の出力信号線路間で切り換えてその一方に出力する切換回路とを有する半導体装置において、上記切換回路は、半導体基板上の1つの動作領域内に対向して配置され、それぞれ上記第1, 第2の出力信号線路と接続された第1, 第2の出力信号電極と、該両出力信号電極間に配置され、上記入力信号線路と接続された入力信号電極と、上記入力信号電極と第1

9

の出力信号電極間、及び該入力信号電極と第2の出力信号電極間にそれぞれ配置され、上記各入、出力信号電極間での信号の遮断、導通を制御する第1、第2の制御信号電極と、上記第1、第2の出力信号線路のいずれか一方の両側に配置され、上記第1、第2の制御信号電極の相異なる端部と接続された第1、第2の制御信号入力線路とを備えるようにしたので、半導体基板上で占めるスイッチ部の面積を削減でき、チップサイズの縮小を図ることができるという効果がある。

また、本願の請求項2に係る発明によれば、請求項1記載の発明において、上記切換回路を1列に複数個配列し、該切換回路列と平行して入力取出電極あるいは第1、第2の出力取出電極を設け、上記各切換回路の入力信号電極、あるいは第1、第2の出力信号電極を第1のエアブリッジ配線により上記入力取出電極、あるいは第1、第2の出力取出電極に接続するとともに、上記各切換回路の第1の出力信号電極相互間及び第2の出力信号電極相互間、あるいは入力信号電極相互間を第2のエアブリッジ配線により接続するようにしたので、より大きな入力信

10

号の切換を行なうことができるという効果がある。

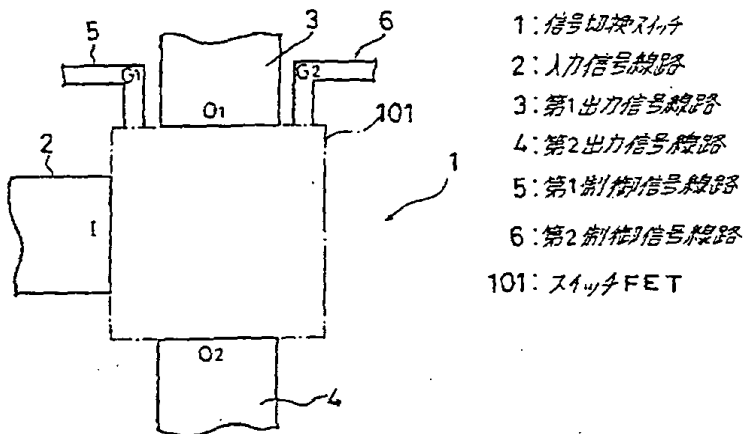
#### 【図面の簡単な説明】

第1図は本発明の一実施例による半導体装置の構成を説明するための図、第2図はそのFET部分の拡大図、第3図は本発明の第2の実施例による半導体装置を示す図、第4図は本発明の第3の実施例による半導体装置を示す図、第5図はそのFET部分を示す拡大図、第6図ないし第8図はそれぞれ本発明の第4ないし第6の実施例による半導体装置を示す図、第9図は従来の半導体装置の一例を示す構成図、第10図はそのFET部分の拡大図である。

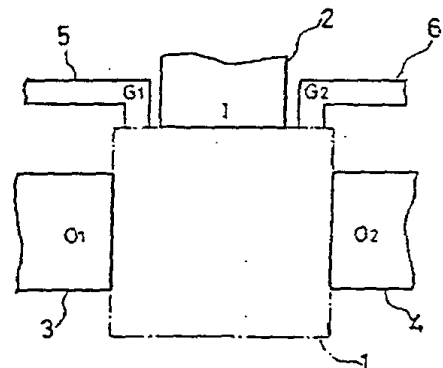
1は信号切換スイッチ（切換回路）、2は入力信号線路、3は第1出力信号線路、4は第2出力信号線路、5は第1制御信号線路、6は第2制御信号線路、7aは入力信号電極、8aは第1出力信号電極、9aは第2出力信号線路、10は第1制御信号電極、11aは第2信号制御電極、13は単位スイッチFET、16、26は動作層（動作領域）、101～106はスイッチFETである。

なお図中同一符号は同一又は相当部分を示す。

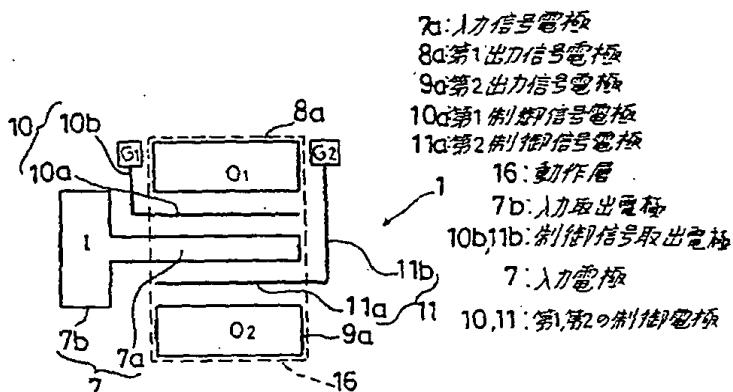
【第1図】



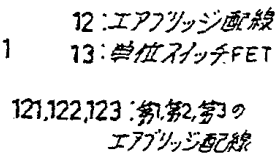
【第4図】



【第2図】



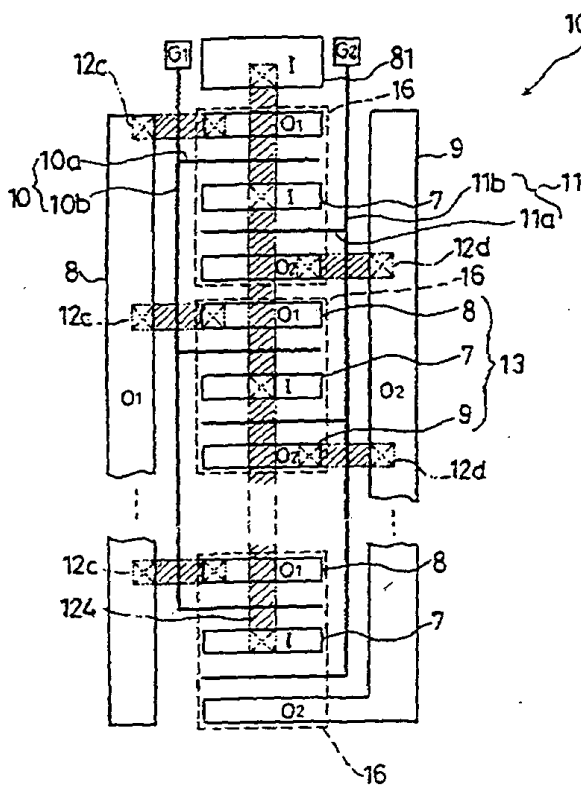
a 102



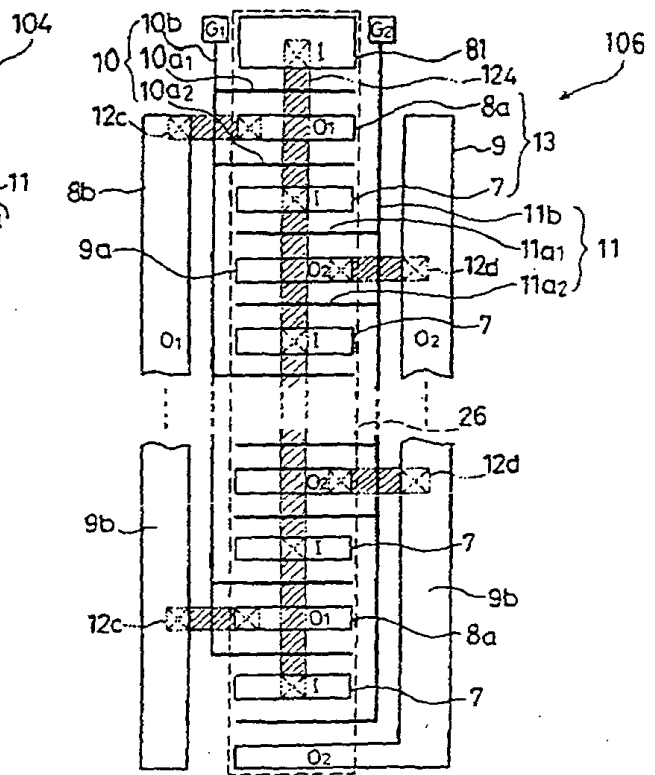
71 103



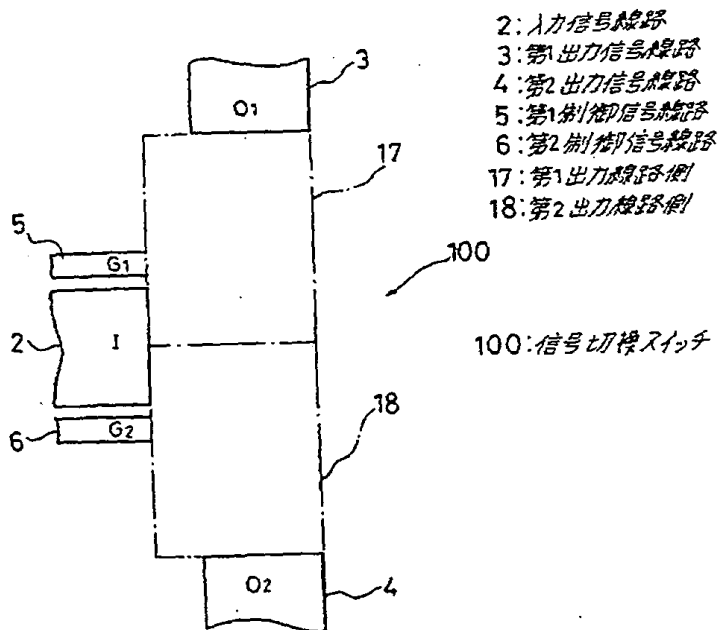
【第6図】



【第8図】

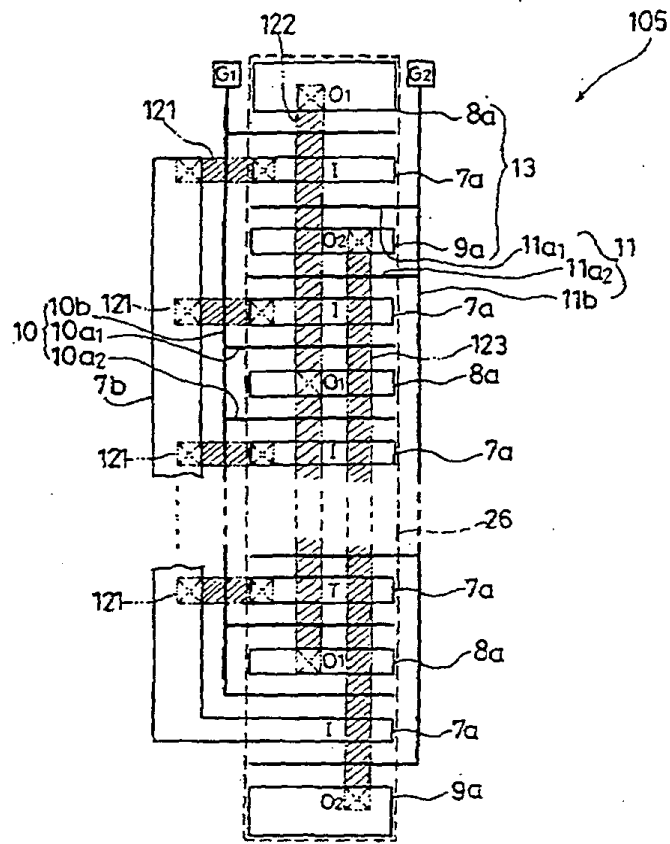


【第9図】





【第7図】



【第10図】

